

PAT-NO: JP405094226A

DOCUMENT-IDENTIFIER: JP 05094226 A

TITLE: CLOCK SWITCHING SYSTEM

PUBN-DATE: April 16, 1993

INVENTOR-INFORMATION:

NAME

NAKAMURA, NOBUTAKA

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP03278634

APPL-DATE: September 30, 1991

INT-CL (IPC): G06F001/04

ABSTRACT:

PURPOSE: To reduce the power consumption and to secure compatibility by switching the operation clock of a CPU in the state wherein the operation of the CPU is guaranteed.

CONSTITUTION: The operation clock CLK is switched while the CPU 11 is reset and after the operation is switched, the CPU 11 is released from being reset. Consequently, the operation of the CPU 11 is not affected by the discontinuity of the phase of the clock at the time of the clock switching. For the purpose, the operation clock CLK is switched from a high-speed clock CLK1 to a low-speed clock CLK2 to reduce the current consumption of the CPU 11 while the operation of the CPU 11 is guaranteed. Further, the operation clock CLK of the CPU 11 can be switched matching the operation speed of application software or a hardware option to be used.

COPYRIGHT: (C)1993,JPO&Japio

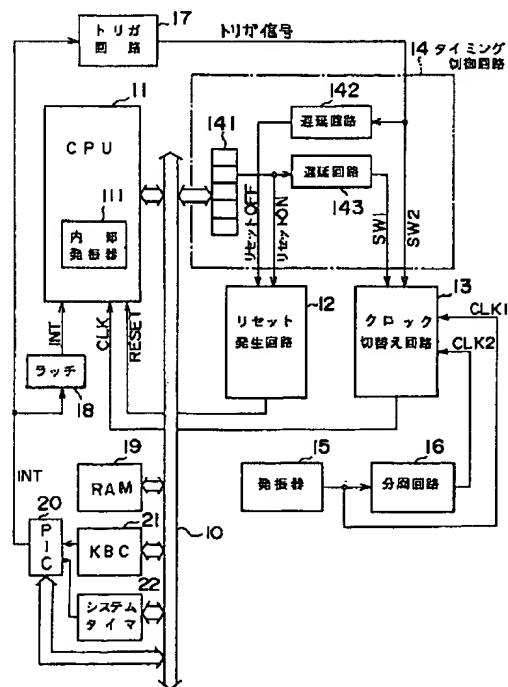
(11)特許出願公開番号

(43)公開日 平成5年(1993)4月16日

技術表示箇所

審査請求 未請求 請求項の数 2 (全 11 頁)

(74)代理人 弁理士 鈴江 武彦



1

【特許請求の範囲】

【請求項1】 CPUと、周波数が互いに異なる第1および第2のクロックを発生するクロック発生回路とを有するデータ処理装置において、

前記第1および第2のクロックのいずれか一方のクロックを選択して前記CPUに動作クロックとして供給するクロック切替え手段と、

前記CPUの動作クロックの切替え要求にตอบสนองして、前記CPUのレジスタ内容を退避すると共に前記CPUをリセットする手段と、

前記CPUがリセットされた状態で前記CPUの動作クロックが前記第1および第2のクロックの一方から他方に切替えられるように、前記クロック切替え手段を制御する手段と、

前記CPUの動作クロックが切り替えられた際、前記CPUのリセット状態を解除すると共に、前記退避したレジスタ内容を前記CPUに復帰する手段とを具備し、前記CPUをリセットした状態で前記CPUの動作クロックを切替えることを特徴とするクロック切替え方式。

【請求項2】 CPUと、第1のクロックおよびこの第1のクロックよりも低周波数の第2のクロックを発生するクロック発生回路とを有するデータ処理装置において、

前記CPUをスリープモードに設定するための所定のモード設定条件の成立の有無を判別し、条件成立時に前記CPUのレジスタ内容を退避する手段と、

前記CPUのレジスタ内容が退避された際、前記CPUをリセットすると共に前記CPUの動作クロックを前記第1のクロックから前記第2のクロックに切替える手段と、

前記CPUへの割り込み要求にตอบสนองして、前記動作クロックを前記第2クロックから前記第1クロックに再切替えすると共に前記CPUのリセット状態を解除する手段と、

前記CPUのリセット状態が解除された際、前記退避したレジスタ内容を前記CPUに復帰する手段とを具備し、

前記CPUをリセットした状態で前記動作クロックを切替え、前記CPUに低周波数の第2クロックを一時的に供給することを特徴とするクロック切替え方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はデータ処理装置のクロック切替え方式に関し、特にポータブルコンピュータにおけるCPUへのクロック切替え方式に関する。

【0002】

【従来の技術】近年、携行が容易でバッテリーにより動作可能なラップトップタイプのポータブルコンピュータが種々開発されている。この種のポータブルコンピュータ

2

に於いては、無駄な消費電力を低減するために、所定の条件下においてはCPUの動作速度を自動的に低下させるスリープモード機能が設けられている。

【0003】このスリープモード機能は、例えば、一定時間の間オペレータによるキーボード操作が実行されなかった場合に、CPUを低周波数の動作クロックによって駆動させるものである。

【0004】このようなスリープモード機能は、特にバッテリー駆動タイプのポータブルコンピュータに有効に利用されている。

【0005】しかしながら、このようにCPUの動作クロックを切り替える従来のスリープモード機能は、すべての種類のCPUに対して適用できるものではない。なぜなら、CPUを構成するマイクロプロセッサのシステム構成によっては、クロック切替えにより、CPU内での誤動作が引き起こされる場合があるからである。

【0006】特に、インテル社により開発され製造販売されているマイクロプロセッサ(i80486)や、インモス社により開発され製造販売されているマイクロプロセッサ(トランスビュータ)のように、外部から供給される外部クロックよりも速いクロックで動作するマイクロプロセッサをCPUとして使用する場合については、クロックの切り替えによって誤動作が引き起こされる危険が高い。これは、次のような理由によるものである。

【0007】すなわち、このようなプロセッサは、PLL回路を含む内部発振器を持ち、外部から供給されるクロックにPLL回路を同期させ、そのPLL回路で内部的に速いクロックを発生させてそれを利用して高速動作を実現している。このため、このようなマイクロプロセッサが正常に動作するためには、外部から供給されるクロックの位相が確定していることが必要とされる。さもないと、PLL回路の同期動作に異常が来たされるからである。

【0008】したがって、もし、このように内部発振器を持つCPUに対して従来のスリープモード機能をそのまま適用すると、クロック切り替え時におけるクロック位相の不連続によって、CPUの動作が保証されなくなるといふ不具合が生じる。

【0009】また、クロック切り替えはこのようなスリープモードによる省電力化の目的のみならず、コンピュータシステムの互換性確保の目的でも利用されている。

【0010】すなわち、遅いクロックで動作するように構成されたアプリケーションソフトやハードウェアオブジェクトは、高速クロックで動作するCPUの下では利用できない事がある。この場合、通常時はCPUを高速クロックで動作させ、これら特定のアプリケーションソフトやハードウェアオブジェクトを使用する場合だけ、CPUを低速クロックで動作させるといった利用形態が必要となる。

【0011】しかしながら、このように互換性確保を目的としたクロック切替えについても、前述したスリープモードの場合のクロック切替えと同様に、内部発振器を持つCPUに適用した場合にはCPUの動作が保証されなくなるといふ不具合が生じる。

【0012】

【発明が解決しようとする課題】従来では、クロック切替えによってCPUの誤動作が引き起こされる場合があり、CPUの動作を保証できないという欠点があった。

【0013】この発明はこのような点に鑑みてなされたもので、CPUの動作を保証した状態でそのCPUのクロックを切り替えられるようにし、消費電力の低減および互換性確保の実現に適したクロック切替え方式を提供することを目的とする。

【0014】

【課題を解決するための手段および作用】この発明によるクロック切替え方式は、CPUと、周波数が互いに異なる第1および第2のクロックを発生するクロック発生回路とを有するデータ処理装置において、前記第1および第2のクロックのいずれか一方のクロックを選択して前記CPUに動作クロックとして供給するクロック切替え手段と、前記CPUの動作クロックの切替え要求に回答して、前記CPUのレジスタ内容を退避すると共に前記CPUをリセットする手段と、前記CPUがリセットされた状態で前記CPUの動作クロックが前記第1および第2のクロックの一方から他方に切替えられるように、前記クロック切替え手段を制御する手段と、前記CPUの動作クロックが切り替えられた際、前記CPUのリセット状態を解除すると共に、前記退避したレジスタ内容を前記CPUに復帰する手段とを具備し、前記CPUをリセットした状態で前記CPUの動作クロックを切替えることを特徴とする。

【0015】このクロック切替え方式においては、周波数の異なる第1および第2の2つのクロックがCPUの動作クロックとして選択的に使用され、動作クロックの切替えはCPUがリセットされた状態で行なわれ、動作クロックが切替えられた後にそのCPUのリセット状態が解除される。このため、CPUの動作はクロック切替え時におけるクロックの位相の不連続によって何等影響されない。また、CPUをリセットする際にはそのCPUのレジスタ内容が退避される。この退避されたレジスタ内容は、クロックの切替えが終了しCPUのリセット状態が解除された際にCPUに復帰される。このため、クロック切替え前の状態からCPU動作を開始することができる。したがって、CPUの動作を保証した状態で、そのCPUの動作速度を切り替えることが可能となり、互換性および省電力化に優れたデータ処理装置を実現できる。

【0016】

【実施例】以下、図面を参照してこの発明の実施例を説

明する。

【0017】図1には、この発明の一実施例に係わるクロック切替え方式を実現するためのラップトップタイプポータブルコンピュータのシステム構成が示されている。このポータブルコンピュータは、AC商用電源またはコンピュータ本体に着脱自在に装着されるバッテリーによって駆動されるコンピュータであり、CPU11、リセット発生回路12、クロック切替え回路13、タイミング制御回路14、クロック発振器15、分周回路16、トリガ回路17、ラッチ回路18、RAM19、割り込みコントローラ(PIC; Programmable Interrupt Controller)20、キーボードコントローラ(KBC)21、およびシステムタイマ22を備えている。

【0018】CPU11はこのシステム全体の制御を司るものであり、システムバス10を介して各コンポーネント、すなわち、タイミング制御回路14、RAM19、割り込みコントローラ20、キーボードコントローラ(KBC)21、システムタイマ22に接続されている。このCPU11は、例えば前述のマイクロプロセッサ(i80486)のように内部的に高速クロックを生成して動作するために、内部発振器111を備えている。すなわち、このCPU11は、クロック切替え回路13を介して供給されるクロックCLKの数倍のクロックを内部発振器111によって内部的に生成し、それを利用して高速動作する構成である。

【0019】また、CPU11は、実行中のアプリケーションプログラムによってコールされるBIOS(Basic Input Output System)プログラムの実行により、スリープモード設定条件の設立の有無を判断し、条件成立時には、CPU11内のレジスタ内容の退避、およびHALT(停止)命令の実行を順次行う。スリープモード設定条件は、例えば、一定期間以上オペレータによるキー入力操作が行なわれなかった場合等に成立する。CPU11のレジスタ内容は、RAM19に退避される。

【0020】CPU11がプログラムの実行を停止するためのHALT(停止)命令を実行すると、CPU11は、CPU11が停止状態に設定されたことをタイミング制御回路14に通知する。

【0021】リセット発生回路12は、CPU11に対してリセット(RESET)信号を供給するためのものであり、タイミング制御回路14の制御にしたがってリセット(RESET)信号をアクティブまたはインアクティブに設定する。リセット(RESET)信号がアクティブになるとCPU11はリセット状態になり、またリセット(RESET)信号がインアクティブになるとCPU11はリセット状態から解除される。

【0022】クロック切替え回路13は、周波数の高い高速クロックCLK1と周波数の低い低速クロックCLK2のいずれか一方を選択してそれを動作クロックCL

KとしてCPU11に供給する。このクロック切替え回路13は、通常はCPU11を高速動作させるために高速クロックCLK1を選択しているが、CPU11をスリープモードに設定する時には、タイミング制御回路14の制御にしたがって動作クロックCLKを高速クロックCLK1から低速クロックCLK2に切替える。

【0023】高速クロックCLK1はクロック発振器15によって生成されるものであり、また、低速クロックは、高速クロックCLK1を分周回路16によって分周することによって得られるものである。

【0024】タイミング制御回路14は、リセット発生回路12およびクロック切替え回路13の動作タイミングを制御するためのものである。すなわち、CPU11をスリープモードに設定する時には、タイミング制御回路14は、CPU11がリセット状態に設定された後に動作クロックCLKが高速クロックCLK1から高速クロックCLK2に切り替わるように、リセット発生回路12およびクロック切替え回路13を制御する。また、CPU11をスリープモードから復帰させる時には、タイミング制御回路14は、動作クロックCLKが低速クロックCLK1から高速クロックCLK2に切り替えられた後にCPU11のリセット状態が解除されるように、クロック切替え回路13およびリセット発生回路12の制御を行う。

【0025】このタイミング制御回路14は、図示のように、レジスタ141と遅延回路142、143を備えている。レジスタ141には、CPU11から発行される停止状態を示す通知データがセットされる。この通知データがセットされると、リセット(RESET)信号をアクティブにするためのリセットON信号がリセット発生回路12に送られ、この後、遅延回路143によって一定時間遅らされたタイミングで、動作クロックCLKを低速クロックCLK2に切替えるためのスイッチ信号SW1がクロック切替え回路13に送られる。また、トリガ回路17からトリガ信号が入力されると、動作クロックCLKを高速クロックCLK2に戻すためのスイッチ信号SW2がクロック切替え回路13に送られ、この後、遅延回路143によって一定時間遅らされたタイミングで、リセット(RESET)信号をインアクティブにするためのリセットOFF信号がリセット発生回路12に送られる。

【0026】トリガ回路17は、割り込みコントローラ(PIT)20から割り込み信号(INT)が発行された際、その割り込み信号(INT)に応答してトリガ信号を出力する。割り込みコントローラ(PIT)20からの割り込み信号(INT)は、ラッチ回路18にも送られる。ラッチ回路18は、透過型のラッチ回路であり、割り込みコントローラ(PIT)20から出力された割り込み信号(INT)を保持した状態でそれをCPU11に供給する。

【0027】RAM19は、CPU11によって実行されるアプリケーションプログラム等を格納するためのものであり、スリープモードへの移行時には、このRAM19にはCPU11のレジスタ内容が退避される。

【0028】割り込みコントローラ(PIT)20は、キーボードコントローラ(KBC)21からのキー入力割り込みやシステムタイマ22からのタイマ割り込み等のハードウェア割り込み要求が発生したとき、割り込み信号(INT)を出力する。

10 【0029】キーボードコントローラ(KBC)21は、図示しないキーボードからのキー入力があると、CPU11にキー入力割り込みを通知するためにハードウェア割り込み要求を発生する。システムタイマ22は、一定周期毎にハードウェア割り込み要求を発生するタイマである。

【0030】図2には、CPU11をスリープモードに設定する場合におけるタイミング制御回路14の動作タイミングが示されている。

20 【0031】図示のように、CPU11を通常モードからスリープモードに移行する際には、まず、リセットON信号が発生され、これによってリセット(RESET)信号はアクティブになる。この結果、CPU11は、リセット状態に設定される。この時は、動作クロックCLKは、まだ高速クロックCLK1のままである。

【0032】次いで、スイッチ信号SW1が発生され、これによってCPU11の動作クロックCLKは高速クロックCLK1から低速クロックCLK2に切替えられる。この時は、CPU11はリセットがかかったままになっている。

30 【0033】低速クロックCLK2がCPU11に送られている期間中は、CPU11の消費電流は極小に抑えられている。

【0034】この後、ハードウェア割り込みの発生によりトリガ信号が入力されると、スイッチ信号SW2が出力され、これによって、CPU11の動作クロックCLKは低速クロックCLK2から高速クロックCLK1に切替えられる。この切替え時においても、CPU11はリセット状態にある。

40 【0035】次いで、リセット信号OFFが発生され、これによってリセット(RESET)信号はインアクティブになる。この結果、CPU11は、リセット状態から解除される。なお、図においては、高速クロックCLK2に復帰した後、直ぐにリセットを解除しているが、実際にはCPU11の仕様にしたがってある程度の時間はリセット状態を維持しておく必要がある。

【0036】次に、図3のフローチャートを参照して、図1のポータブルコンピュータにおけるスリープモードへの移行動作とそのスリープモードからの復帰動作について説明する。

50 【0037】CPU11がアプリケーションプログラム

の実行中に例えばキー入力待ち状態になると、通常、BIOSによる割り込み待ちルーチンがコールされ、そこでキー入力割り込みの発生の有無が判断される。そして、キー入力割り込みが一定期間以上発生しなかった場合には、CPU11は、スリープモード設定条件が成立されたことを認識する。

【0038】この場合、CPU11は、まず、その時のレジスタ内容をRAM19にセーブする(ステップS11)。次いで、CPU11は、動作停止のためのHALT命令を実行する。CPU11は、HALT命令を実行すると、CPU11が停止状態になったことを通知する

ために、タイミング制御回路14に通知データを送る。
【0039】タイミング制御回路14は、通知データを受け取ると、リセット発生回路12を制御して、リセット(RESET)信号をアクティブにする(ステップS12)。これによって、CPU11はリセット状態に設定される。次に、タイミング制御回路14は、クロック切替え回路13を制御して動作クロック(CLK)を高速クロックCLK1から低速クロックCLK2に切替える(ステップS13)。

【0040】これによって、CPU11は低速クロックCLK2で駆動されるスリープモード状態となる。

【0041】この後、システムタイマ22からのタイマ割り込みや、キーボードコントローラ(KBC)21からのキー入力割り込み等のハードウェア割り込み要求が発生されると(ステップS14)、割り込みコントローラ(PIC)20から割り込み信号INTが発生されて、トリガ信号がタイミング制御回路14に入力される。トリガ信号を受け取ると、タイミング制御回路14は、クロック切替え回路13を制御して動作クロック(CLK)を低速クロックCLK2から高速クロックCLK1に切替える(ステップS15)。この後、約1msウエイト後、タイミング制御回路14は、CPU11のリセット状態を解除するために、リセット信号(RESET)をインアクティブにする。

【0042】リセット信号(RESET)がインアクティブになると、CPU11は動作を開始する。そして、まず、CPU11は、退避したレジスタ内容をRAM19からロードしてレジスタ内容を元に戻す(ステップS17)。そして、CPU11は、スリープモード設定前の状態に戻り、ラッチ回路18から出力されている割り込み信号INTを受取り、所定の割り込み処理を実行する。

【0043】このように、この実施例のスリープモード機能は、CPU11をリセットした状態で高速クロックCLK1から低速クロックCLK2に切替え、この低速クロックCLK2を動作クロックCLKとしてCPU11に供給することによってCPU11の消費電流を低減している。

【0044】次に、図4を参照して、タイミング制御回

路14の他の具体的構成の一例を説明する。

【0045】この図4のタイミング制御回路14は、リセット発生回路12およびクロック切替え回路13を動作制御するための3つの動作モードを持つ。第1モードは、前述したようにCPU11を自動的にスリープモードに設定するためのモードである。第2モードは、オペレータから切替え要求があった時にCPU11を高速動作から低速動作に切替えて使用するためのモードである。第3モードは、同じくオペレータから切替え要求があった時に、CPU11を低速動作から高速動作に復帰させるモードである。

【0046】このタイミング制御回路14は、CPU11が停止状態に設定されたことを示す通知データがセットされるレジスタ201と、動作モードを指定するためのデータがセットされるレジスタ202と、第1モードでタイミング制御を行うためのスリープモード用タイミング制御回路203と、第2モードでタイミング制御を行うための低速切替え用タイミング制御回路204と、第3モードでタイミング制御を行うための高速切替え用タイミング制御回路205と、第2および第3モードにおけるCPU11のリセット期間を決めるリセットタイマ206とを備えている。

【0047】第1動作モード(スリープモード)での動作が指定された場合には、レジスタ202にデータD1がセットされる。また、第2動作モード(低速切替え用モード)での動作が指定された場合には、レジスタ202にデータD2がセットされる。さらに、第3動作モード(高速切替え用モード)での動作が指定された場合には、レジスタ202にデータD3がセットされる。データD1がセットされた場合にはスリープモード用タイミング制御回路203が動作可能状態に設定され、同様に、データD2がセットされた場合には低速切替え用タイミング制御回路204、データD3がセットされた場合には高速切替え用タイミング制御回路205が動作可能状態に設定される。これらスリープモード用タイミング制御回路203、低速切替え用タイミング制御回路204、および高速切替え用タイミング制御回路205は、CPU11から停止状態を示す通知データがレジスタ201にセットされた時にそれぞれの動作を開始する。

【0048】第1乃至第3の動作モードの内のどれを指定するかは、例えば、セットアップ処理やポップアップ処理におけるオペレータのキー操作等により決定される。

【0049】例えば、システム構成を設定するためのセットアップ処理において第1モードがオペレータにより指定されると、CPU11は、データD1をレジスタ202に設定し、スリープモード用タイミング制御回路203を動作可能状態に設定する。そして、前述したスリープモード設定条件の成立の有無を判別し、成立した時

に、レジスタ退避、HALT命令の実行を行い、レジスタ201に停止状態の通知データをセットする。これによって、スリープモード用タイミング制御回路203が起動される。

【0050】このスリープモード用タイミング制御回路203は、図2のタイミングチャートで説明したように、まず、リセット発生回路12を制御してリセット(RESET)信号をアクティブにし、次にクロック切替回路13を制御して動作クロック(CLK)を高速クロックCLK1から低速クロックCLK2に切替える。そして、トリガ信号を受け取ると、クロック切替回路13を制御して動作クロック(CLK)を低速クロックCLK2から高速クロックCLK1に切替え、この後、リセット信号(RESET)をインアクティブにする。

【0051】また、セットアップ処理やポップアップ処理でオペレータが第2モードを指定すると、CPU11は、データD2をレジスタ202に設定し、低速切替用タイミング制御回路204を動作可能状態に設定すると共に、レジスタ退避、HALT命令の実行を行い、レジスタ201に停止状態の通知データをセットする。これによって、低速切替用タイミング制御回路204が起動される。

【0052】この低速切替用タイミング制御回路204は、図5のタイミングチャートに示されているように、まず、信号S2によりリセット発生回路12を制御してリセット(RESET)信号をアクティブにし、次に信号T2によりクロック切替回路13を制御して動作クロック(CLK)を高速クロックCLK1から低速クロックCLK2に切替える。そして、リセットタイマ206によって規定される一定期間経過後、リセット信号(RESET)をインアクティブにする。

【0053】この結果、CPU11は、退避したレジスタを復帰して元の動作状態に復帰し、そしてクロックCLK2によって低速で動作する。

【0054】このようにCPU11が低速動作している状態で、第3モードがオペレータにより指定されると、CPU11は、データD3をレジスタ202に設定し、高速切替用タイミング制御回路205を動作可能状態に設定すると共に、レジスタ退避、HALT命令の実行を行い、レジスタ201に停止状態の通知データをセットする。これによって、高速切替用タイミング制御回路205が起動される。

【0055】高速切替用タイミング制御回路205は、図6のタイミングチャートに示されているように、まず、信号S3によりリセット発生回路12を制御してリセット(RESET)信号をアクティブにし、次に信号T3によりクロック切替回路13を制御して動作クロック(CLK)を低速クロックCLK1から高速クロックCLK2に切替える。そして、リセットタイマ20

6によって規定される一定期間経過後、リセット信号(RESET)をインアクティブにする。

【0056】この結果、CPU11は、退避したレジスタを復帰して元の動作状態に復帰し、そしてクロックCLK1による高速動作に復帰する。

【0057】以上説明したように、この実施例のポータブルコンピュータにおいては、高速クロックCLK1と低速クロックCLK2の2つのクロックがCPU11の動作クロックCLKとして選択的に使用される。

【0058】この場合、動作クロックCLKの切替えはCPU11がリセットされた状態で行なわれ、動作クロックが切替えられた後にそのCPU11のリセット状態が解除される。このため、CPU11の動作はクロック切替え時におけるクロックの位相の不連続には何等影響されない。また、CPU11をリセットする際にはそのCPU11のレジスタ内容が退避される。この退避されたレジスタ内容は、クロックの切替えが終了しCPU11のリセット状態が解除された際にCPU11に復帰される。したがって、クロック切替え前の状態からCPU11の動作を開始することができ、CPU11の動作を保証した状態で、そのCPU11の動作速度を切り替えることが可能となる。

【0059】なお、このようなクロック切替え方式は、内部発振器を持つCPUのスリープモード機能の実現に特に適しているが、内部発振器をもたず外部クロックに同期して動作するCPUに適用しても同様して誤動作を招くことなく消費電力を低減できることはもちろんである。

【0060】また、ここでは、高速クロックCLK1と低速クロックCLK2の2つのクロック間での切替えを説明したが、動作速度の異なる3種類以上のクロックを使用し、それらクロック間で動作クロックを切替えることもできる。この場合、消費電力はクロックの周波数が低いほど低減でき、スリープモード時には最も遅いクロックを使用することが好ましい。また、スリープモード時には、CPU11にGNDレベルの直流信号を供給することによってCPU11への動作クロックの供給を停止してもよい。このようにすれば、さらに消費電力を低減することができる。また、CPU11への電源供給をオフすることも出切る。

【0061】このように、クロックや電源の供給を停止しても、CPU11をリセット状態に設定しておくことで、そのCPU11の動作は保証される。

【0062】

【発明の効果】以上のように、この発明によれば、CPUの動作を保証した状態でそのCPUのクロックを切り替えられるようになり、消費電力の低減および互換性確保の実現を図ることが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るポータブルコンピュ

11

ータのシステム構成を示すブロック図。

【図2】同実施例のシステムに設けられたタイミング制御回路の動作を説明するタイミングチャート。

【図3】同実施例のシステムにおけるクロック切替え時の動作を説明するフローチャート。

【図4】同実施例のシステムに設けられたタイミング制御回路の変形例を説明するブロック図。

【図5】図4のタイミング制御回路によって実行される高速クロックから低速クロックへのクロック切替え動作

12

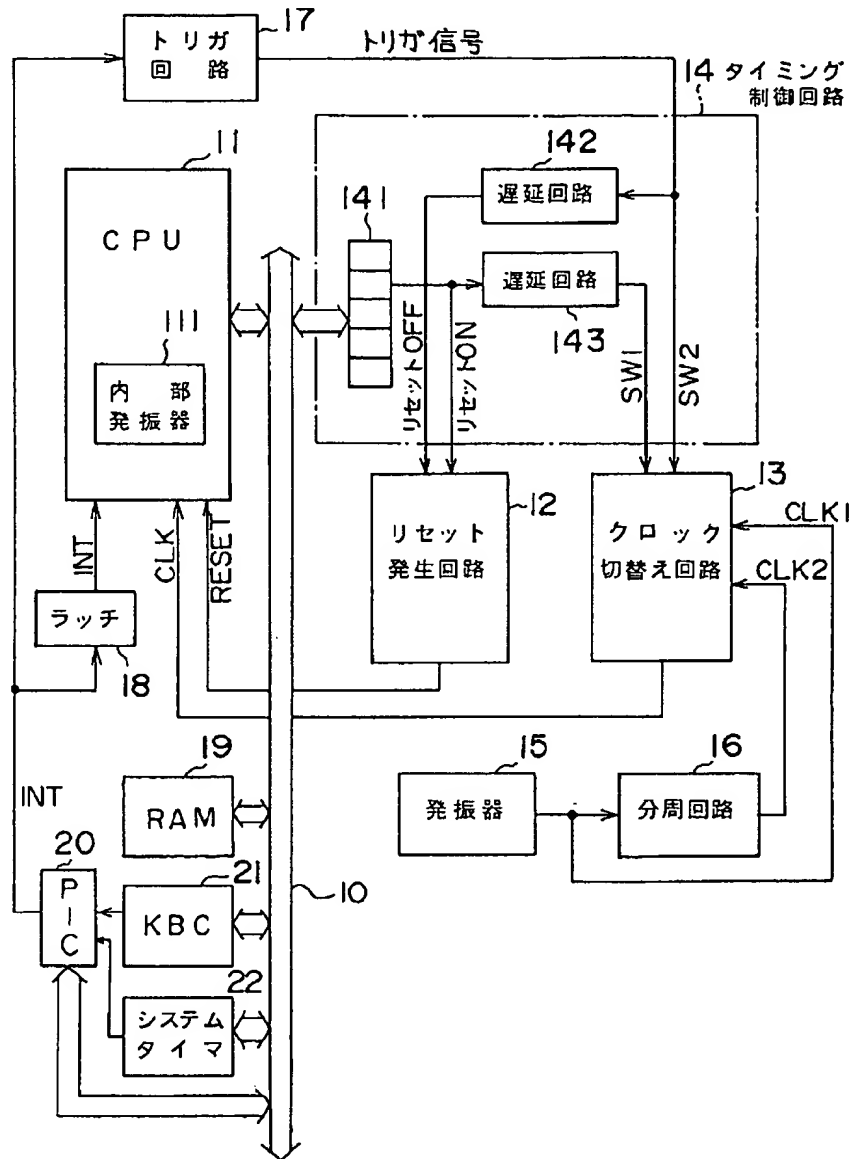
を説明するタイミングチャート。

【図6】図4のタイミング制御回路によって実行される低速クロックから高速クロックへのクロック切替え動作を説明するタイミングチャート。

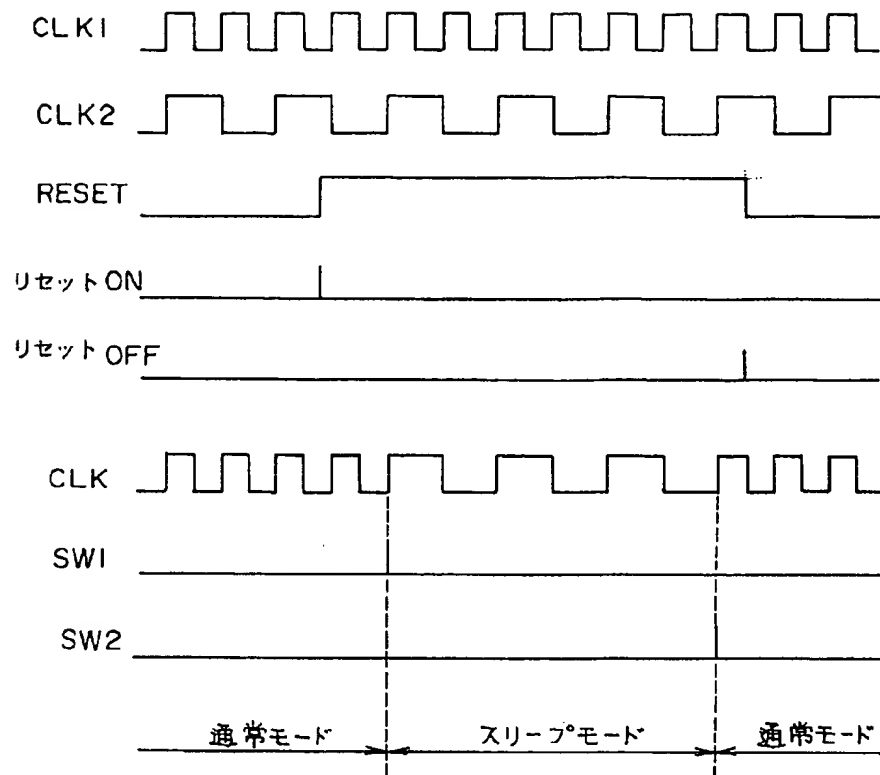
【符号の説明】

11…CPU、12…リセット回路、13…クロック切替え回路、14…タイミング制御回路、15…クロック発振器、16…分周回路。

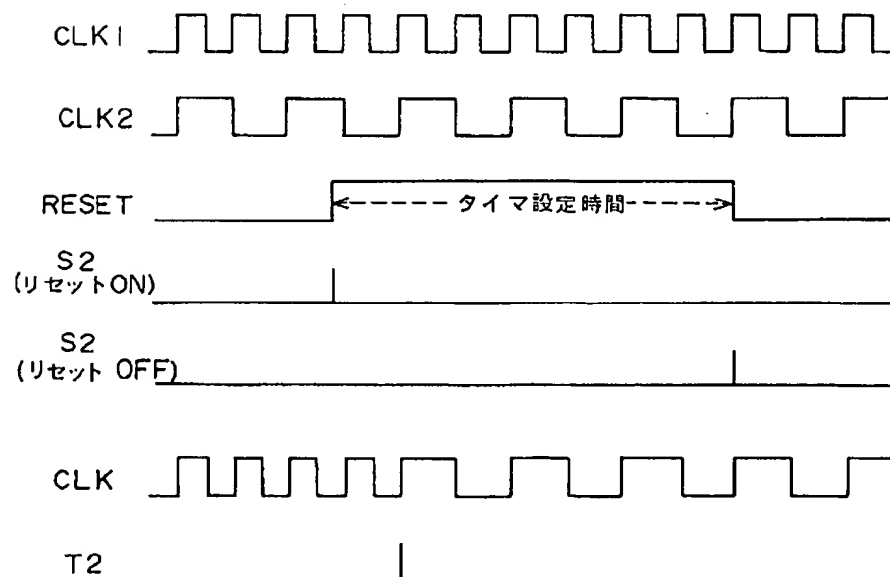
【図1】



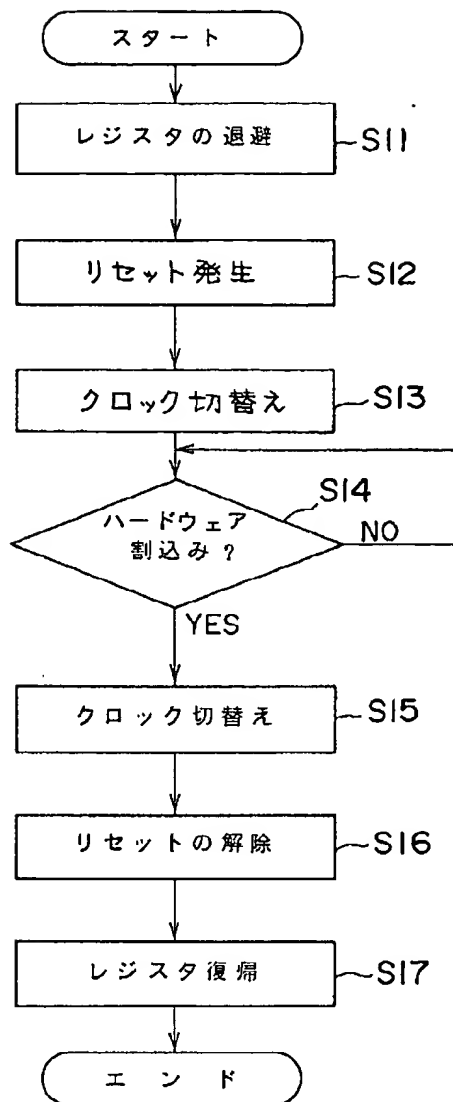
【図2】



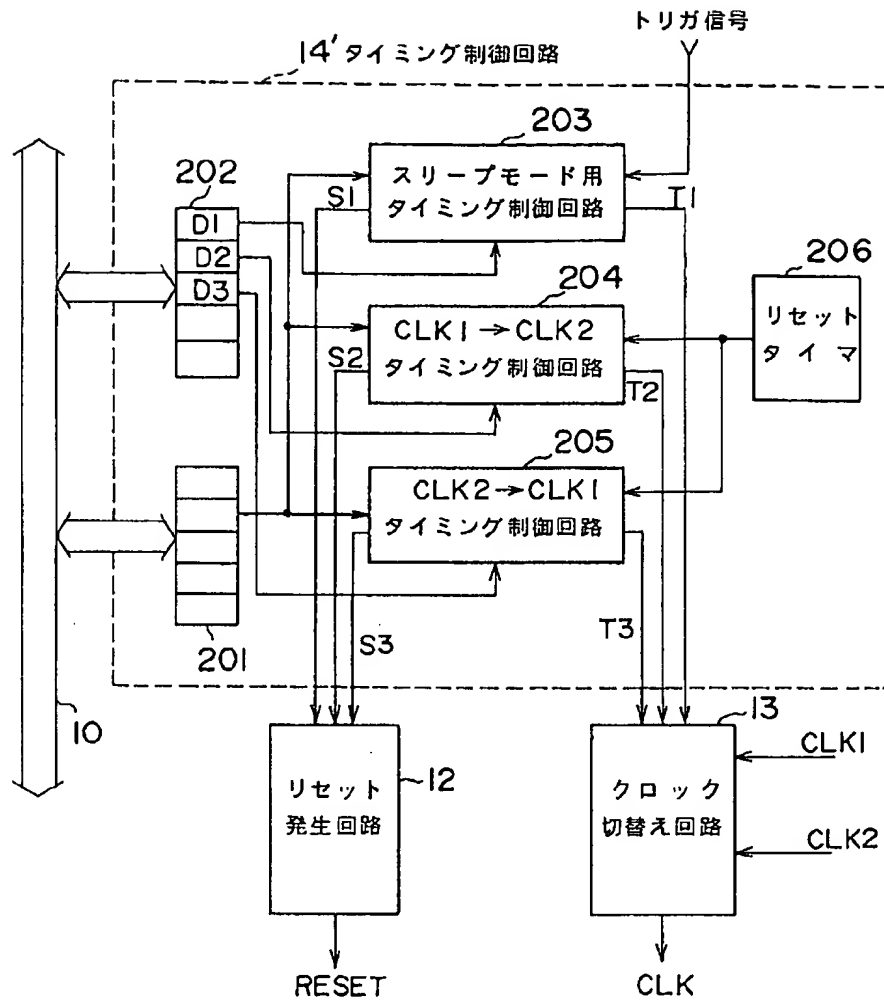
【図5】



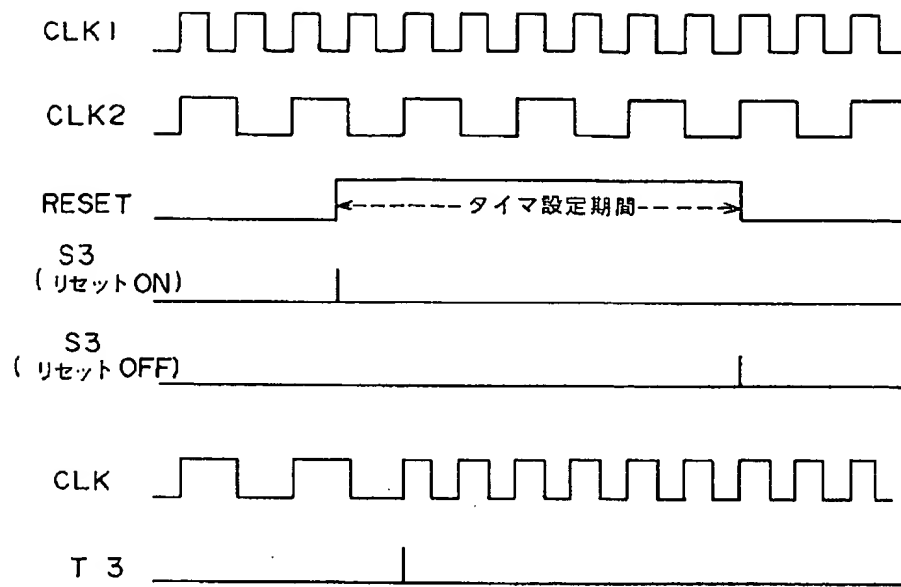
【図3】



【図4】



【図6】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In a data processor which has CPU and a clock generation circuit which generates the 1st and 2nd clocks with which frequency differs mutually A clock change means to choose one clock of said 1st and 2nd clocks, and to supply said CPU as a clock of operation, A means to reset said CPU while answering a change demand of a clock of said CPU of operation and evacuating the content of a register of said CPU, So that a clock of said CPU of operation may be changed from one side of said 1st and 2nd clocks to another side, where said CPU is reset When a clock of said CPU of operation is changed to a means to control said clock change means, while canceling a reset condition of said CPU A clock change method by which it is characterized [of ***** which changes a clock of said CPU of operation where it provided a means to return said evacuated content of a register to said CPU and said CPU is reset].

[Claim 2] CPU A clock generation circuit which generates the 2nd clock of low frequency rather than the 1st clock and this 1st clock A means to be the clock change method equipped with the above, to distinguish existence of formation of predetermined mode setting conditions for setting said CPU as a sleep mode, and to evacuate the content of a register of said CPU at the time of condition formation, A means which changes a clock of said CPU of operation from said 1st clock to said 2nd clock while resetting said CPU when the content of a register of said CPU is evacuated, A means to cancel a reset condition of said CPU while answering an interrupt request to said CPU and re-changing said clock of operation from said 2nd clock to said 1st clock, When a reset condition of said CPU is canceled, a means to return said evacuated content of a register to said CPU is provided, where said CPU is reset, said clock of operation is changed, and it is characterized by supplying the 2nd clock of low frequency to said CPU temporarily.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the clock change method to CPU in a portable computer about the clock change method of a data processor.

[0002]

[Description of the Prior Art] In recent years, the portable computer of the laptop type in which carrying can operate [that it is easy and] with a battery is developed variously. In this kind of portable computer, in order to reduce useless power consumption, the sleep mode function to reduce the working speed of CPU automatically to the bottom of a predetermined condition is prepared.

[0003] This sleep mode function makes CPU drive with the clock of low frequency of operation, when keyboard grabbing by the operator between fixed time amount is not performed.

[0004] Such a sleep mode function is used especially effective in a battery actuation type porter pull computer.

[0005] However, the conventional sleep mode function which changes the clock of CPU of operation in this way is not applicable to CPU of all classes. It is because malfunction within CPU may be caused by clock change depending on the system configuration of the microprocessor which constitutes CPU.

[0006] About the case where the microprocessor which operates with the clock quicker than the external clock supplied from the outside like the microprocessor (i80486) which is developed by Intel and manufactured and sold especially, and the microprocessor (Transputer) which is developed by Inmos, Ltd. and manufactured and sold is used as a CPU, risk of malfunction being caused by the change of a clock is high. This is based on the following reasons.

[0007] That is, such a processor has an internal oscillator including a PLL circuit, synchronizes a PLL circuit with the clock supplied from the outside, generated the quick clock internally in the PLL circuit, and has realized high-speed operation using it. For this reason, in order for such a microprocessor to operate normally, to have decided the phase of the clock supplied from the outside is needed. Otherwise, it is because abnormalities are caused to the synchronous operation of a PLL circuit.

[0008] Therefore, if the conventional sleep mode function is applied as it is to CPU which has an internal oscillator in this way, the nonconformity that actuation of CPU is no longer guaranteed will arise by the discontinuity of the clock phase at the time of a clock change.

[0009] Moreover, not only the object of power-saving according [a clock change] to such a sleep mode but the object of compatibility reservation of a computer system is used.

[0010] That is, neither the application software constituted so that it might operate with a late clock, nor hardware options may be unable to be used under CPU which operates with a high-speed clock. In this case, at the time, only when operating CPU with a high-speed clock and using the ant KESHON software and the hardware options of these specification, the utilization gestalt of operating CPU with a low-speed clock is usually needed.

[0011] However, in this way, about a clock change aiming at compatibility reservation as well as the clock change in the case of the sleep mode mentioned above, when it applies to CPU with an internal

oscillator, the nonconformity that actuation of CPU is no longer guaranteed arises.

[0012]

[Problem(s) to be Solved by the Invention] In the former, there was a defect that malfunction of CPU may be caused by clock change and actuation of CPU could not be guaranteed by it.

[0013] This invention was made in view of such a point, where actuation of CPU is guaranteed, the clock of that CPU is changed, and it aims at offering the clock change method suitable for reduction of power consumption, and implementation of compatibility reservation.

[0014]

[Means for Solving the Problem and its Function] In a data processor with which a clock change method by this invention has CPU and a clock generation circuit which generates the 1st and 2nd clocks with which frequency differs mutually A clock change means to choose one clock of said 1st and 2nd clocks, and to supply said CPU as a clock of operation, A means to reset said CPU while answering a change demand of a clock of said CPU of operation and evacuating the content of a register of said CPU, So that a clock of said CPU of operation may be changed from one side of said 1st and 2nd clocks to another side, where said CPU is reset When a clock of said CPU of operation is changed to a means to control said clock change means, while canceling a reset condition of said CPU A means to return said evacuated content of a register to said CPU is provided, and it is characterized by changing a clock of said CPU of operation, where said CPU is reset.

[0015] In this clock change method, two clocks, the 1st and the 2nd, with which frequency differs are selectively used as a clock of CPU of operation, a change of a clock of operation is performed where CPU is reset, and after a clock of operation is changed, a reset condition of that CPU is canceled. For this reason, actuation of CPU is not influenced at all by discontinuity of a phase of a clock at the time of a clock change. Moreover, in case CPU is reset, the content of a register of the CPU is evacuated. This evacuated content of a register returns to CPU, when a change of a clock is completed and a reset condition of CPU is canceled. For this reason, CPU actuation can be started from a condition before a clock change. Therefore, where actuation of CPU is guaranteed, it becomes possible to change working speed of the CPU, and a data processor excellent in compatibility and power-saving can be realized.

[0016]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0017] The system configuration of the laptop type portable computer for realizing the clock change method concerning one example of this invention is shown in drawing 1 . This portable computer is a computer driven with the battery with which AC source power supply or the main part of a computer is equipped free [attachment and detachment], and is equipped with CPU11, the reset generating circuit 12, the clock change circuit 13, the timing-control circuit 14, a clock generator 15, a frequency divider 16, a trigger circuit 17, a latch circuit 18, RAM19, the interruption controller (PIC-robramable Interrupt Controller) 20, the keyboard controller (KBC) 21, and the system timer 22.

[0018] CPU11 manages control of this whole system, and is connected to each component 14, i.e., a timing-control circuit, RAM19, the interruption controller 20, the keyboard controller (KBC) 21, and the system timer 22 through the system bus 10. This CPU11 is equipped with the internal oscillator 111, in order to generate a high-speed clock internally like the above-mentioned microprocessor (i80486) and to operate. That is, this CPU11 is a configuration which generates internally a several times as many clock as the clock CLK supplied through the clock change circuit 13, and carries out high-speed operation with an internal oscillator 111 using it.

[0019] Moreover, by the BIOS (Basic Input Output System) program execution which acts as Kohl with the application program under activation, CPU11 judges the existence of establishment of sleep mode setups, and performs evacuation of the content of a register in CPU11, and activation of a HALT (halt) instruction one by one at the time of condition formation. Sleep mode setups are satisfied when key input actuation by the operator is not performed for example, beyond a fixed period. The content of a register of CPU11 is evacuated to RAM19.

[0020] If a HALT (halt) instruction for CPU11 to stop program execution is executed, CPU11 will notify that CPU11 was set as the idle state to the timing-control circuit 14.

[0021] The reset generating circuit 12 is for supplying a reset (RESET) signal to CPU11, and sets up a reset (RESET) signal actively or inactively according to control of the timing-control circuit 14. If CPU11 will be in a reset condition if a reset (RESET) signal becomes active, and a reset (RESET) signal becomes inactive, CPU11 will be canceled of a reset condition.

[0022] The clock change circuit 13 chooses the high-speed clock CLK1 with high frequency, or the low-speed clock CLK2 with low frequency, and supplies it to CPU11 by making it into the clock CLK of operation. This clock change circuit 13 has chosen the high-speed clock CLK1 in order to usually carry out high-speed operation of CPU11, but when setting CPU11 as a sleep mode, it changes the clock CLK of operation from the high-speed clock CLK1 to the low-speed clock CLK2 according to control of the timing-control circuit 14.

[0023] The high-speed clock CLK1 is generated by the clock generator 15, and when a low-speed clock carries out [and] dividing of the high-speed clock CLK1 by the frequency divider 16, it is obtained.

[0024] The timing-control circuit 14 is for controlling the timing of the reset generating circuit 12 and the clock change circuit 13 of operation. That is, when setting CPU11 as a sleep mode, the timing-control circuit 14 controls the reset generating circuit 12 and the clock change circuit 13 so that the clock CLK of operation changes from the high-speed clock CLK1 to the high-speed clock CLK2, after CPU11 is set as a reset condition. Moreover, when returning CPU11 from a sleep mode, the timing-control circuit 14 performs control of the clock change circuit 13 and the reset generating circuit 12 so that the reset condition of CPU11 may be canceled, after the clock CLK of operation is changed from the low-speed clock CLK1 to the high-speed clock CLK2.

[0025] This timing-control circuit 14 is equipped with the register 141 and the delay circuit 142,143 like a graphic display. The advice data in which the idle state published from CPU11 is shown is set to a register 141. If this advice data is set, the reset-on signal for activating a reset (RESET) signal will be sent to the reset generating circuit 12, and the switch signal SW1 for changing the clock CLK of operation to the low-speed clock CLK2 will be sent to the clock change circuit 13 to the timing fixed time delay carried out by the delay circuit 143 after this. Moreover, if a trigger signal is inputted from a trigger circuit 17, the switch signal SW2 for returning the clock CLK of operation to the high-speed clock CLK2 will be sent to the clock change circuit 13, and the reset-off signal for making a reset (RESET) signal inactive will be sent to the reset generating circuit 12 to the timing fixed time delay carried out by the delay circuit 143 after this.

[0026] When an interrupt signal (INT) is published from the interruption controller (PIT) 20, a trigger circuit 17 answers the interrupt signal (INT), and outputs a trigger signal. The interrupt signal (INT) from the interruption controller (PIT) 20 is sent also to a latch circuit 18. A latch circuit 18 is a latch circuit of a transparency mold, and where the interrupt signal (INT) outputted from the interruption controller (PIT) 20 is held, it supplies it to CPU11.

[0027] RAM19 is for storing the application program performed by CPU11, and the content of a register of CPU11 is evacuated to this RAM19 at the time of the shift to a sleep mode.

[0028] The interruption controller (PIT) 20 outputs an interrupt signal (INT), when the hardware interrupt demand of a key input interruption, a timer interrupt from a system timer 22, etc. from the keyboard controller (KBC) 21 occurs.

[0029] If the keyboard controller (KBC) 21 has the key input from the keyboard which is not illustrated, in order to notify key input interruption to CPU11, it will generate a hardware interrupt demand. A system timer 22 is a timer which generates a hardware interrupt demand for every fixed period.

[0030] The timing of the timing-control circuit 14 in the case of setting CPU11 as a sleep mode of operation is shown in drawing 2.

[0031] Like a graphic display, in case CPU11 is shifted to a sleep mode from the normal mode, first, a reset-on signal is generated and a reset (RESET) signal becomes active by this. Consequently, CPU11 is set as a reset condition. At this time, the clock CLK of operation is still the high-speed clock CLK1.

[0032] Subsequently, the switch signal SW1 is generated and the clock CLK of CPU11 of operation is changed from the high-speed clock CLK1 to the low-speed clock CLK2 by this. At this time, CPU11 is left with the reset starting.

[0033] The consumed electric current of CPU11 is stopped by the minimum during the period when the low-speed clock CLK2 is sent to CPU11.

[0034] Then, if a trigger signal is inputted according to generating of hardware interrupt, the switch signal SW2 will be outputted and the clock CLK of CPU11 of operation will be changed from the low-speed clock CLK2 to the high-speed clock CLK1 by this. CPU11 is in a reset condition at the time of this change.

[0035] Subsequently, reset-signal OFF is generated and a reset (RESET) signal becomes inactive by this. Consequently, CPU11 is canceled of a reset condition. In addition, in drawing, although reset is immediately canceled after returning to the high-speed clock CLK2, according to the specification of CPU11, a certain amount of time amount needs to maintain a reset condition actually.

[0036] Next, with reference to the flow chart of drawing 3, the shift actuation to the sleep mode in the portable computer of drawing 1 and the return actuation from the sleep mode are explained.

[0037] If CPU11 will be for example, in the state waiting for a key input during activation of an application program, it will act as Kohl of the waiting routine for interruption by BIOS, and the existence of generating of key input interruption will usually be judged there. And when a key input interrupt does not occur beyond a fixed period, CPU11 recognizes that sleep mode setups were satisfied.

[0038] In this case, CPU11 saves the content of a register at that time to RAM19 first (step S11). Subsequently, CPU11 executes the HALT instruction for a halt of operation. CPU11 sends advice data to the timing-control circuit 14, in order to notify that CPU11 would be in the idle state, if a HALT instruction is executed.

[0039] If advice data is received, the timing-control circuit 14 will control the reset generating circuit 12, and will activate a reset (RESET) signal (step S12). CPU11 is set as a reset condition by this. Next, the timing-control circuit 14 controls the clock change circuit 13, and changes a clock (CLK) of operation from the high-speed clock CLK1 to the low-speed clock CLK2 (step S13).

[0040] By this, CPU11 will be in the sleep mode condition driven with the low-speed clock CLK2.

[0041] Then, if the hardware interrupt demand of the timer interrupt from a system timer 22, key input interruption from the keyboard controller (KBC) 21, etc. is generated (step S14), interrupt signal INT will be generated from the interruption controller (PIC) 20, and a trigger signal will be inputted into the timing-control circuit 14. If a trigger signal is received, the timing-control circuit 14 will control the clock change circuit 13, and will change a clock (CLK) of operation from the low-speed clock CLK2 to the high-speed clock CLK1 (step S15). Then, after about 1ms weight, the timing-control circuit 14 makes a reset signal (RESET) inactive, in order to cancel the reset condition of CPU11.

[0042] If a reset signal (RESET) becomes inactive, CPU11 will start actuation. And first, CPU11 loads the evacuated content of a register from RAM19, and returns the content of a register (step S17). And CPU11 performs a receipt and predetermined interruption processing for interrupt signal INT currently outputted to the condition before sleep mode setting out from return and a latch circuit 18.

[0043] Thus, the sleep mode function of this example is changed from the high-speed clock CLK1 to the low-speed clock CLK2, where CPU11 is reset, and the consumed electric current of CPU11 is reduced by supplying CPU11 by using this low-speed clock CLK2 as the clock CLK of operation.

[0044] Next, with reference to drawing 4, an example of other concrete configurations of the timing-control circuit 14 is explained.

[0045] Timing-control circuit 14' of this drawing 4 has three modes of operation for carrying out motion control of the reset generating circuit 12 and the clock change circuit 13. The 1st mode is the mode for setting CPU11 as a sleep mode automatically, as mentioned above. The 2nd mode is the mode for using it from high-speed operation, changing CPU11 to low-speed actuation, when it changes from an operator and there is a demand. The 3rd mode is the mode in which CPU11 is returned to high-speed operation from low-speed actuation, when it similarly changes from an operator and there is a demand.

[0046] The register 201 with which the advice data which, as for this timing-control circuit 14', CPU11 shows having been set as the idle state is set, The register 202 with which the data for specifying a mode of operation is set, The timing-control circuit 203 for sleep modes for performing timing control in the

1st mode, The timing-control circuit 204 for a low-speed change for performing timing control in the 2nd mode, It has the timing-control circuit 205 for a high-speed change for performing timing control in the 3rd mode, and the reset timer 206 which determines the reset period of CPU11 in the 2nd and 3rd modes.

[0047] When actuation by the 1st mode of operation (sleep mode) is specified, data D1 is set to a register 202. Moreover, when actuation by the 2nd mode of operation (mode for a low-speed change) is specified, data D2 is set to a register 202. Furthermore, when actuation by the 3rd mode of operation (mode for a high-speed change) is specified, data D3 is set to a register 202. When data D1 is set, the timing-control circuit 203 for sleep modes is set as the condition which can be operated, and when data D2 is set and the timing-control circuit 204 for a low-speed change and data D3 are set similarly, the timing-control circuit 205 for a high-speed change is set as the condition which can be operated. The timing-control circuit 203 for these sleep modes, the timing-control circuit 204 for a low-speed change, and the timing-control circuit 205 for a high-speed change start each actuation, when the advice data in which a idle state is shown from CPU11 is set to a register 201.

[0048] It is determined by an operator's key stroke in for example, setup processing or pop-up processing etc. which [of the 1st thru/or the 3rd mode of operation] is specified.

[0049] For example, if the 1st mode is specified by the operator in the setup processing for setting up a system configuration, CPU11 will set data D1 as a register 202, and will set the timing-control circuit 203 for sleep modes as the condition which can be operated. And the existence of formation of the sleep mode setups mentioned above is distinguished, when materialized, activation of register evacuation and a HALT instruction is performed and the advice data of a idle state is set to a register 201. The timing-control circuit 203 for sleep modes is started by this.

[0050] As the timing chart of drawing 2 explained, first, this timing-control circuit 203 for sleep modes controls the reset generating circuit 12, activates a reset (RESET) signal, then controls the clock change circuit 13, and changes a clock (CLK) of operation from the high-speed clock CLK1 to the low-speed clock CLK2. And if a trigger signal is received, the clock change circuit 13 will be controlled, a clock (CLK) of operation will be changed from the low-speed clock CLK2 to the high-speed clock CLK1, and a reset signal (RESET) will be made inactive after this.

[0051] Moreover, if an operator specifies the 2nd mode by setup processing or pop-up processing, CPU11 will perform activation of register evacuation and a HALT instruction, and will set the advice data of a idle state to a register 201 while it sets data D2 as a register 202 and sets the timing-control circuit 204 for a low-speed change as the condition which can be operated. The timing-control circuit 204 for a low-speed change is started by this.

[0052] First, this timing-control circuit 204 for a low-speed change controls the reset generating circuit 12 by the signal S2, activates a reset (RESET) signal, then, controls the clock change circuit 13 by the signal T2, and changes a clock (CLK) of operation from the high-speed clock CLK1 to the low-speed clock CLK2 as shown in the timing chart of drawing 5 . And a reset signal (RESET) is made inactive after fixed period progress specified by the reset timer 206.

[0053] Consequently, CPU11 returns the evacuated register, and returns to the original operating state, and operates with a clock CLK2 at a low speed.

[0054] Thus, in the condition that CPU11 is carrying out low-speed actuation, if the 3rd mode is specified by the operator, CPU11 will perform activation of register evacuation and a HALT instruction, and will set the advice data of a idle state to a register 201 while it sets data D3 as a register 202 and sets the timing-control circuit 205 for a high-speed change as the condition which can be operated. The timing-control circuit 205 for a high-speed change is started by this.

[0055] First, the timing-control circuit 205 for a high-speed change controls the reset generating circuit 12 by the signal S3, activates a reset (RESET) signal, then, controls the clock change circuit 13 by signal T3, and changes a clock (CLK) of operation from the low-speed clock CLK1 to the high-speed clock CLK2 as shown in the timing chart of drawing 6 . And a reset signal (RESET) is made inactive after fixed period progress specified by the reset timer 206.

[0056] Consequently, CPU11 returns the evacuated register, returns to the original operating state, and

returns to high-speed operation with a clock CLK1.

[0057] As explained above, in the portable computer of this example, two clocks, the high-speed clock CLK1 and the low-speed clock CLK2, are selectively used as a clock CLK of CPU11 of operation.

[0058] In this case, the change of the clock CLK of operation is performed where CPU11 is reset, and after a clock of operation is changed, the reset condition of that CPU11 is canceled. For this reason, actuation of CPU11 is not influenced at all by the discontinuity of the phase of the clock at the time of a clock change. Moreover, in case CPU11 is reset, the content of a register of the CPU11 is evacuated. This evacuated content of a register returns to CPU11, when the change of a clock is completed and the reset condition of CPU11 is canceled. Therefore, actuation of CPU11 can be started from the condition before a clock change, and where actuation of CPU11 is guaranteed, it becomes possible to change the working speed of the CPU11.

[0059] In addition, although such a clock change method is suitable for especially implementation of the sleep mode function of CPU with an internal oscillator, it is natural, without causing malfunction similarly, even if it applies to CPU which operates without an internal oscillator synchronizing with an external clock. [of the ability of power consumption to be reduced]

[0060] Moreover, although the change between two clocks of the high-speed clock CLK1 and the low-speed clock CLK2 was explained, three or more kinds of clocks with which working speeds differ can be used, and a clock of operation can also be changed among these clocks here. in this case, the thing of power consumption which can decrease, so that the frequency of a clock is low and for which it comes out and the latest clock is used at the time of a sleep mode is desirable. Moreover, at the time of a sleep mode, supply of the clock of operation to CPU11 may be suspended by supplying the direct current signal of GND level to CPU11. If it does in this way, the consumed electric current can be reduced further. Moreover, it is also all out to turn off the current supply to CPU11.

[0061] Thus, even if it suspends supply of a clock or a power supply, actuation of the CPU11 is guaranteed by setting CPU11 as a reset condition.

[0062]

[Effect of the Invention] As mentioned above, according to this invention, where actuation of CPU is guaranteed, it comes to change the clock of that CPU, and it becomes possible to aim at reduction of power consumption, and implementation of compatibility reservation.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the system configuration of the portable computer concerning one example of this invention.

[Drawing 2] The timing chart explaining actuation of the timing-control circuit established in the system of this example.

[Drawing 3] The flow chart explaining the actuation at the time of the clock change in the system of this example.

[Drawing 4] The block diagram explaining the modification of the timing-control circuit established in the system of this example.

[Drawing 5] The timing chart explaining the clock change actuation to the low-speed clock performed by the timing-control circuit of drawing 4 from a high-speed clock.

[Drawing 6] The timing chart explaining the clock change actuation to the high-speed clock performed by the timing-control circuit of drawing 4 from a low-speed clock.

[Description of Notations]

11 [-- A timing-control circuit 15 / -- A clock generator, 16 / -- Frequency divider.] -- CPU, 12 -- A reset circuit, 13 -- A clock change circuit, 14

[Translation done.]